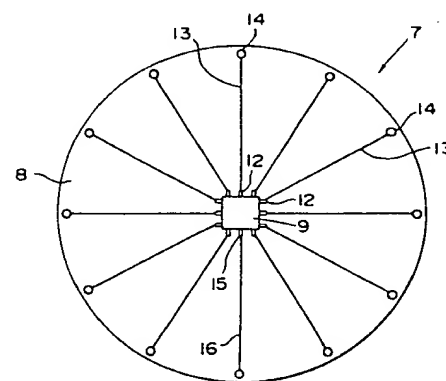


**(54) PARALLEL PROCESSOR**

(11) 4-68462 (A) (43) 4.3.1992 (19) JP  
 (21) Appl. No. 2-180995 (22) 9.7.1990  
 (71) GURAFUIKO K.K. (72) NORIHEI TAKASHIMA  
 (51) Int. Cl<sup>5</sup>. G06F15/16, G06F1/18, G06F13/40

**PURPOSE:** To enable high-speed exact communication control by making the lengths of respective communication lines respectively equal, forming a cross bar switch as an integrated circuit and making all the distances among respective processing elements almost electrically equal.

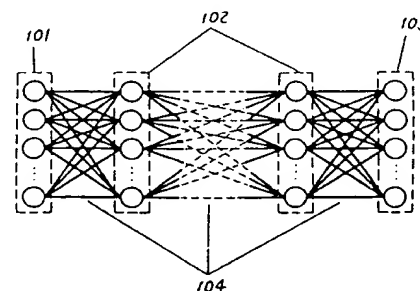
**CONSTITUTION:** The units of the sets of respective communication lines 13 to be relatively arranged on respective bus wiring boards 7 with cross bar switches overlapped on the same axial line form parallel buses and the respective communication lines 13 are respectively allocated to the data lines, address lines and control lines, etc. According to a procedure decided in advance, a control means 16 controls the opening / closing of each contact in a cross bar switch 9. Therefore, since the lengths of the respective communication lines 13 are made respectively equal and the cross bar switch 9 is formed as the integrated circuit and made extremely compact, all the distances among respective processing element are made almost electrically equal and all the communication distances among respective processing elements are almost uniformed. Thus, high-speed exact communication control is enabled.

**(54) LEARNING DEVICE FOR NEURAL NETWORK**

(11) 4-68463 (A) (43) 4.3.1992 (19) JP  
 (21) Appl. No. 2-180818 (22) 9.7.1990  
 (71) MATSUSHITA ELECTRIC IND CO LTD (72) YASUNORI KURATOMI(2)  
 (51) Int. Cl<sup>5</sup>. G06F15/18, G06F7/60

**PURPOSE:** To early complete learning efficiently by changing a learning gain in an orthogonal learning method corresponding to a hamming distance between a teacher vector and a data vector.

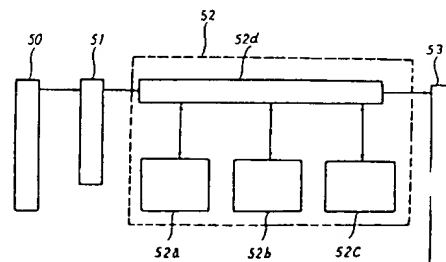
**CONSTITUTION:** This device is composed of an input layer 101, an (n) number of intermediate layers (n ≥ 0) 102 and an output layer 103, and a learning gain  $\alpha$  in the orthogonal learning method is changed corresponding to a hamming distance (d) between the teacher vector and the output vector. Since the hamming distance (d) is changed corresponding to the convergent degree of learning from the beginning of learning as a parameter for grasping the degree of learning convergence, the learning gain  $\alpha$  can be operated from the beginning of learning. Thus, learning can be early completed efficiently.

**(54) SENTENCE STRUCTURE ANALYZING DEVICE**

(11) 4-68464 (A) (43) 4.3.1992 (19) JP  
 (21) Appl. No. 2-180696 (22) 10.7.1990  
 (71) AGENCY OF IND SCIENCE & TECHNOL (72) JUNICHI FUKUMOTO  
 (51) Int. Cl<sup>5</sup>. G06F15/20

**PURPOSE:** To obtain the exact structure of a sentence by analyzing relation among respective sentences by using extracted connection expression information, analyzed sentence type and subject information.

**CONSTITUTION:** The output side of a sentence analysis part 51 successively connects a context analysis part 52, which analyzes relation among respective sentences divided by a sentence analysis part 51, and a sentence structure output part 53 such as a printer or a display, etc., to display the structure of the sentence by using the relation among sentences in a sentence. In the context analysis part 52, an inter-sentence relation analyzing means 52d more exactly analyzes the relation among sentences in the sentence by combining and using the connection expression information such as conjunctions, etc., extracted by a connection expression extracting means 52a, the sentence type analyzed by a sentence type analyzing means 52b, and the subject information extracted by a subject extracting means 52c. Thus, the exact structure of the sentence can be obtained.



⑯ 日本国特許庁(JP)

⑰ 特許出願公開

⑫ 公開特許公報(A) 平4-68462

⑤ Int. Cl.<sup>3</sup>

G 06 F 15/16  
1/18  
13/40

識別記号

4 0 0 Y

庁内整理番号

9190-5L

7052-5B

7832-5B

⑬ 公開 平成4年(1992)3月4日

G 06 F 1/00

3 2 0 F

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 並列処理装置

⑱ 特 願 平2-180995

⑲ 出 願 平2(1990)7月9日

⑳ 発 明 者 高 島 徳 平 東京都千代田区東神田1丁目11番14号 株式会社グラフィ  
コ内

㉑ 出 願 人 株式会社グラフィコ 東京都千代田区東神田1丁目11番14号

㉒ 代 理 人 弁理士 牧 哲 郎 外2名

明細書

1. 発明の名称

並列処理装置

2. 特許請求の範囲

集積回路化したクロスバースイッチを基板の中心に設けると共に、そのクロスバースイッチの各信号線に接続する長さの等しい各通信線を、放射状に配列してクロスバースイッチ付きバス配線板を形成し、

このクロスバースイッチ付きバス配線板を同一軸線上に重ねて複数個配置し、これらのバス配線板の周縁に沿って各処理要素を外方に向けて配列し、各処理要素の外部接続部を前記クロスバースイッチ付きバス配線板の周縁にのぞむ対応する通信線の各先端に電気的に接続し、

さらに前記クロスバースイッチの各信号線の交叉部に設けた各接点をあらかじめ定めた手順により開閉制御する制御手段を備えてなる並列処理装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、複数の処理要素(プロセッサやメモリなど)を同時に処理させて高速処理を行ない、カラー画像処理などの高速処理に好適な並列処理装置の改良に関する。

(従来技術)

従来、この種の並列処理装置において、プロセッサやメモリなどの処理要素を多数結合する方式としては、第9図に示すように全処理要素1~6を相互に複数のバスで結合する完全結合方式や、第10図に示すように全処理要素1~6をクロスバースイッチを使用して結合する方式が知られている。

(発明が解決しようとする課題)

ところで、完全結合方式は、各処理要素間の通信距離の違いに伴い通信時間がまちまちになり、その時間差制御が必要になるので、通信制御が複雑化して高速通信化が困難となり、データの高速処理化が困難であるという問題があった。

一方、クロスバースイッチを使用する結合方式

は、結合する処理要素数が多いと、クロスバースイッチの必要な接点数がそれにとまって増えるので大型化する上にコストがかかり、しかも通信距離が長くなって雑音が発生しやすく外部の雑音にも弱いという問題がある。

そこで、本発明は、データの高速処理化、装置の小型化を図ると共に、雑音に強い並列処理装置を提供することを目的とする。

(課題を解決するための手段)

かかる目的を達成するために、本発明は以下のように構成した。

すなわち、本発明は、集積回路化したクロスバースイッチを基板の中心に設けると共に、そのクロスバースイッチの各信号線に接続する長さの等しい各通信線を、放射状に配列してクロスバースイッチ付きバス配線板を形成し、

このクロスバースイッチ付きバス配線板を同一軸線上に重ねて複数個配置し、これらのバス配線板の周縁に沿って各処理要素を外方に向けて配列し、各処理要素の外部接続部を前記クロスバース

超小型なので、各処理要素の間はいずれも電気的にほぼ等距離で、全ての処理要素間の通信距離がほぼ均一化する。その結果、高速かつ正確な通信制御ができるので、安定した高速通信が可能となり、全体としてデータの高速処理化が実現できる。

さらに本発明では、集積回路化したクロスバースイッチを基板の中心に設け、そのクロスバースイッチから外方に向けて各通信線を配列したクロスバースイッチ付きバス配線板を、同一軸線上に重ねて配置することにより、バスを放射状に形成するようにしたので、接続する処理要素が多数であっても、バスの長さが全体的に短縮し通信距離が短くなるので、雑音が発生しにくく雑音に強く、しかも装置全体が小型化する。

(実施例)

以下、図面を参照して本発明実施例について説明する。

第1図は、クロスバースイッチ付きバス配線板7の平面図を示す。このバス配線板7は、円形のプリント基板8の中心に集積回路化したクロスバース

イッチ付きバス配線板の周縁にのぞむ対応する通信線の各先端に電気的に接続し、

さらに前記クロスバースイッチの各信号線の交叉部に設けた各接点をあらかじめ定めた手順により開閉制御する制御手段を備えてなる。

(作用)

このように構成する本発明では、同一軸線上に重ねた各クロスバースイッチ付きバス配線板に配置される関連する各通信線の集合の単位が並列バスを形成し、その各通信線をデータ線、アドレス線、制御線などにそれぞれ割り当てる。

そして本発明では、制御手段があらかじめ定めた手順によりクロスバースイッチの各接点を開閉制御する。従って、これにより、複数の処理要素(プロセッサやメモリなど)がクロスバースイッチおよび通信線を介して電気的に同時に接続され、複数の各処理要素は同時に信号の授受やデータ処理を行なう。

また、本発明では、各通信線の長さがそれぞれ等しくかつクロスバースイッチは集積回路化して

ースイッチ9を実装する。

このクロスバースイッチ9は、第2図の等価回路に示すように、格子状に配置した各信号線10の各交叉部に、それぞれ接点11を設けたものである。そして各信号線10の一端は、外部接続端子12とそれぞれ接続する。

クロスバースイッチ9の各外部接続端子12には、第1図に示すように長さの等しい通信線13の一端をそれぞれ接続し、その各通信線13をクロスバースイッチ9を中心にプリント基板8上に放射状に配列し、その各通信線13の各他端をプリント基板8の外周端に設けた対応する各外部接続端子14にそれぞれ接続する。

集積回路化したクロスバースイッチ9は、上記の外部接続端子12のほかに、第1図に示すように各接点11の制御用端子15(実際には複数からなる)を有する。そして、この制御用端子15は、クロスバースイッチ付きバス基板7に設けたクロスバースイッチ制御線16(実際には複数からなる)に接続する。

このように構成するクロスバースイッチ付きバス配線板7は、第3図に示すように上下方向の同一軸線上に等間隔隔てて、かつ各配線板7の各通信線13およびクロスバースイッチ制御線16がそれぞれ同位相になるように、所定の個数を配置する。従って、これら同位相に配置される関連のある通信線13の集合の単位が、並列バスをそれぞれ形成する。この並列バスを形成する各通信線13は、データ線、アドレス線、制御線などにそれぞれ割当てて。

そして、このように配置したクロスバースイッチ付きバス配線板7の周縁に沿って処理要素17を実装したプリント基板18を直立させて放射状に配列する(第4図参照)。各プリント基板18に設けた外部接続端子19は、コネクタ(図示せず)を介してクロスバースイッチ付きバス配線板7の対応する各外部接続端子14に電氣的に接続する。

ここで、各クロスバースイッチ付きバス配線板7の各クロスバースイッチ制御線16に接続する

列マシンコードが作成される。

次いで、並列マシン上のオペレーティングシステムが動的なプロセッサの割り当てを行ない、これに基づいて各クロスバースイッチ9の切り換え制御スケジュールを決定し、並列実行を管理する。

これにより、クロスバースイッチコントローラ20は、スケジュールに基づいて各クロスバースイッチ9の各接点11を切り換え制御し、処理要素17である複数の各プロセッサは、プログラムに基づいてデータを同時に並列処理する。

以上の実施例では、クロスバースイッチ付きバス配線板7を片面のプリント基板としたが、これに代えてプリント基板を両面板や多層板にすることができる。

次に、クロスバースイッチ付きバス配線板を3層板とした実施例について説明する。

このクロスバースイッチ付きバス配線板21は、上中下の各層に1組の各通信線13A、13B、13Cがそれぞれ重なり合わないよう位相をずらして形成し、これをプリント基板全体に繰り返

プリント基板18には、第4図に示すようにクロスバースイッチ9の各接点11を後述のような手順で制御するクロスバースイッチコントローラ20を実装する。

各プリント基板18に搭載する処理要素17としては、プロセッサ(CPU)や各種のメモリのほかに、キーボードや表示装置などの入出力装置を制御する入出力プロセッサがある。

次に、このように構成する実施例の並列処理の実行の流れについて、第5図を参照して説明する。

いま、与えられた問題(例えばカラー画像処理)を解決するために逐次型言語(例えばフォートラン)、または並列型言語で作成したプログラムが所定のメモリに格納されているものとする。

逐次型言語で作成されたプログラムの場合には、並列化コンパイラがそのプログラムから並列に実行可能な部分を見いだし、並列動作(タスク)に分解して仕事の順序付けをする。一方、並列型言語で作成されたプログラムの場合には、並列言語コンパイラが並列部を抽出する。その結果、並

して形成する。この一部を透視的に示したのが第6図である。この図の各通信線13A、13B、13Cの各先端を、対応する外部接続端子14A、14B、14Cにそれぞれ接続する。

このように構成するクロスバースイッチ付きバス配線板21は、第4図で示した実施例と同様に4本の支柱22により上下に重ねて配置する(第7図参照)。そして、各バス配線板21の各外部接続端子14A、14B、14Cは、3列にピン23を配列したコネクタ24の対応する各ピン23にそれぞれ接続し、コネクタ24に他のコネクタ25を介してプリント基板18を接続する(第7図および第8図参照)。

この様にクロスバースイッチ付きバス配線板を、多層のプリント基板にすると、実装密度が高くなって装置全体がより小型化する。

このような実施例をカラー画像処理に使用すると、表示装置などの出力時において、赤、緑、青の各色のメモリを中心として処理したデータをI/O CPU側に切り換えることによりメモリ間のデ

ータ転送を省略できる。

また、カラー印刷に使用すると、イエロー、シアン、マゼンタ、ブラックの4色に対し、特定のCPUを接続し、並行処理を行ったり、大量データ処理の場合にメモリを分割し、CPUの処理領域を分散することができる。この場合にも、バスネックも無駄なデータ転送を行わないため非常に高速に処理できる。

さらに、アニメーションなどの動画像を生成する場合には、1フレームごとに別個のCPUが処理を行うことにより、超高速の処理が可能となりリアルタイム処理ができる。

(発明の効果)

以上のように本発明では、各通信線の長さがそれぞれ等しくかつクロスバースイッチは集積回路化して超小型なので、各処理要素の間はいずれも電気的にはほぼ等距離になり、全ての処理要素間の通信距離がほぼ均一化する。その結果、高速かつ正確な通信制御ができるので、安定した高速通信が可能となり、全体としてデータの高速処理化が

実現できる。

さらに本発明では、集積回路化したクロスバースイッチを中心に設け、そのクロスバースイッチから外方に向けて各通信線を配列したクロスバースイッチ付きバス配線板を、同一軸線上に重ねてバスを放射状に形成するようにしたので、接続する処理要素が多数であっても、バスの長さが全体として短縮し通信距離が短くなるので、雑音が発生しにくく外部の雑音にも強く、しかも装置全体が小型化するという効果を奏する。

#### 4. 図面の簡単な説明

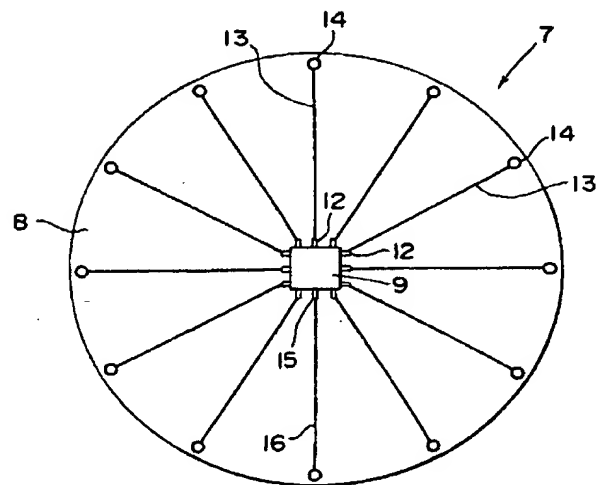
第1図はクロスバースイッチ付きバス配線板の平面図、第2図はクロスバースイッチの等価回路、第3図はクロスバースイッチ付きバス配線板の配置例を示す図、第4図は本発明の実施例を示す全体斜視図、第5図はその実施例の並列処理の実行の流れを説明する図、第6図はクロスバースイッチ付きバス配線板の他の構成例を透視的に見た図、第7図は本発明の他の実施例を示す正面図、第8図はその平面図、第9図および第10図はそれぞれ

従来例を示す図である。

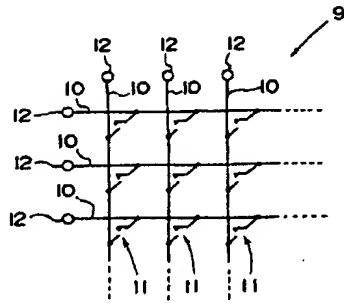
7、21はクロスバースイッチ付きバス配線板、8はプリント基板、9はクロスバースイッチ、10は信号線、13、13A、13B、13Cは通信線、16はクロスバースイッチ制御線、17は処理要素、18はプリント基板、20はクロスバースイッチコントローラ、24はコネクタである。

特許出願人 株式会社 グラフィコ  
代理人 牧 哲郎 (他3名)

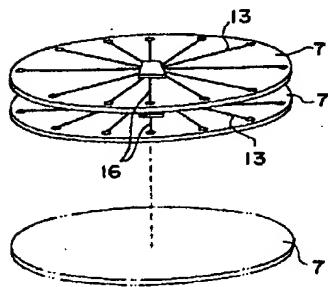
第1図



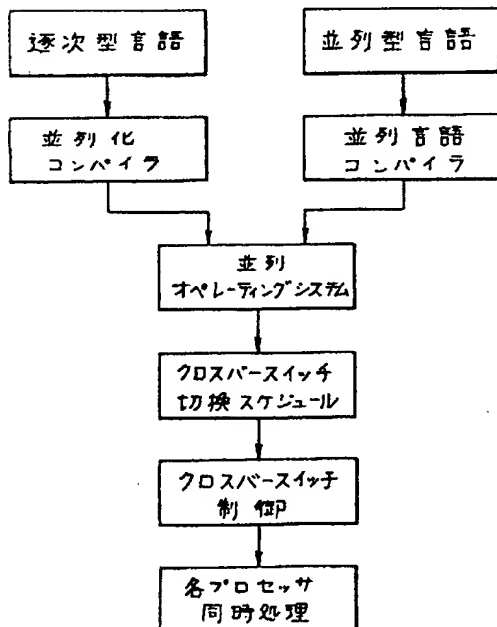
第 2 図



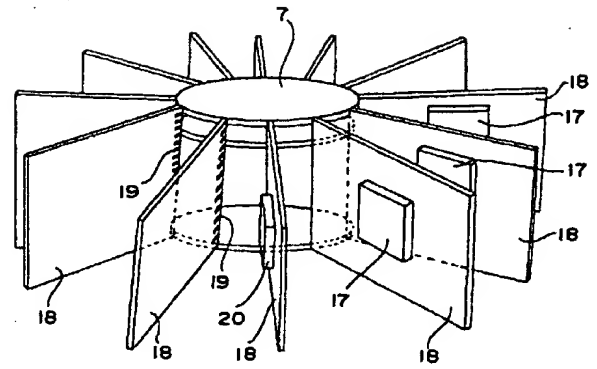
第 3 図



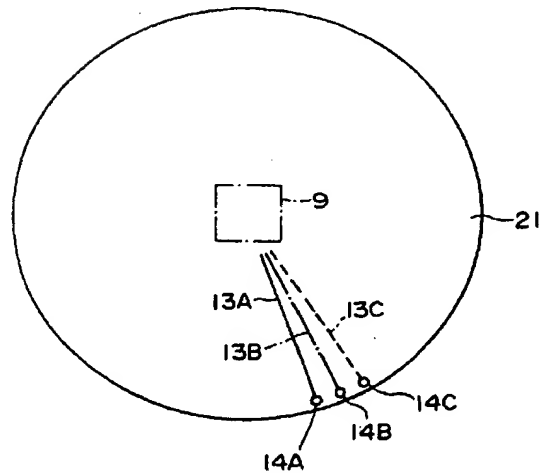
第 5 図



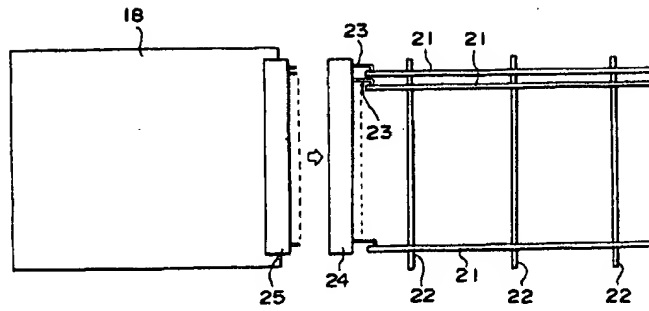
第 4 図



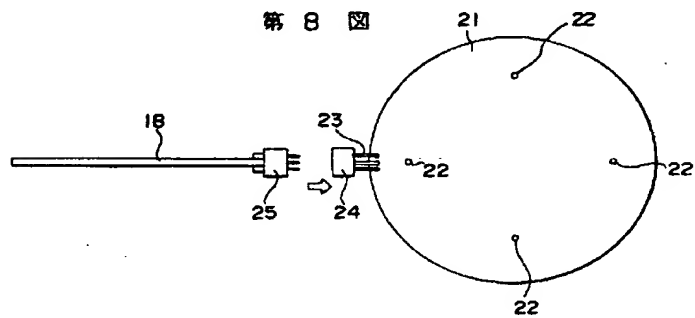
第 6 図



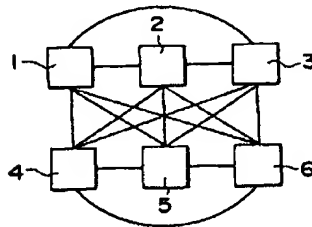
第 7 図



第 8 図



第 9 図



第 10 図

